

Original document**JP5236210**

Patent number: JP5236210

Publication date: 1993-09-10

Inventor: HARADA HISAFUMI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: **B64G1/66; H01L27/14; H04N1/04; B64G1/66; H01L27/14; H04N1/04;**
(IPC1-7): H04N1/04; B64G1/66; H01L27/14

- european:

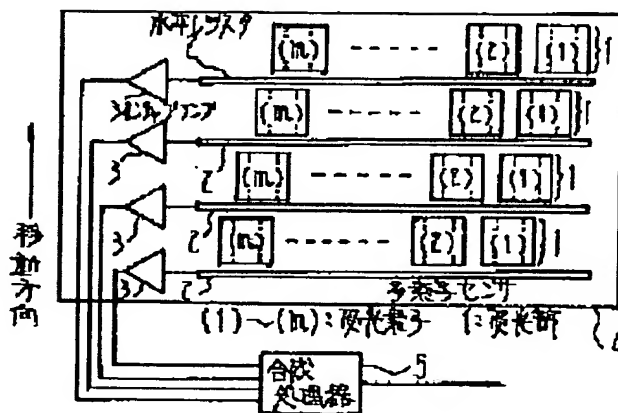
Application number: JP19920020845 19920206

Priority number(s): JP19920020845 19920206

View INPADOC patent familyReport a data error here**Abstract of JP5236210**

PURPOSE:To ensure an output of photodetectors of linear arrangement whose number is a multiple of (n) without suppressing the size of the photodetectors.

CONSTITUTION:Four stages of multi-element sensor arrays each element arranged linearly therewith orthogonal to the moving direction are arranged while being shifted by $1/n$ picture element in the moving direction to form a light receiving section 1, each output of the photodetector array of each linear arrangement is extracted sequentially by a horizontal register 2 and its output signal is sequentially amplified by an on-chip 3. The signal outputs of the 4-stages of the arrays are added to obtain a light receiving part and an output with high resolution of linear arrangement of number of elements equivalently by a multiple of 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-236210

(43) 公開日 平成5年(1993)9月10日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/04	1 0 3 Z	7251-5C		
B 6 4 G 1/66	A	8817-3D		
H 0 1 L 27/14		7210-4M	H 0 1 L 27/14	K

審査請求 未請求 請求項の数 2 (全 4 頁)

(21) 出願番号 特願平4-20845

(22) 出願日 平成4年(1992)2月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 原田 尚史

東京都港区芝五丁目7番1号日本電気株式会社内

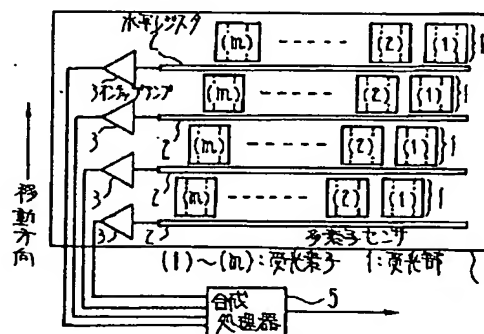
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 高分解能撮像方式

(57) 【要約】

【目的】 n 倍の素子数の一次元配列の受光素子の出力を、受光素子の大きさを抑圧することなく確保する。

【構成】 移動方向に直交して一次元に配列された多素子センサ列を移動方向に対して $1/n$ 画素シフトしながら4段並べて受光部1を形成し、これら各一次元配列の受光素子列の各出力を、それぞれ水平レジスタ2で順次取り出し、その出力信号を順次オンチップ3で増幅する。この4段の信号出力を加算合成することにより、受光部分を求めることができ、等価的には4倍の素子数の一次元配列の、高分解の出力を得る。



【特許請求の範囲】

【請求項1】 撮像目標に対して相対的に移動しながら撮像する受光素子の一次元配列を移動方向に対して1/n画素ずつ順次ずらしてn段に配列した受光部と、前記受光部の受光素子の出力をn段の一次元配列のそれぞれごとに順次とり出す複数の水平レジスタと、前記複数の水平レジスタの出力を増幅する複数のオンチップアンプとを有する多素子センサを備え、前記複数のオンチップアンプの出力を加算合成して、等価的にn倍の受光素子の一次元配列の高分解能を確保する手段を有することを特徴とする高分解能撮像方式。

【請求項2】 前記多素子センサを同一の基板上に形成したことを特徴とする請求項1記載の高分解能撮像方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は高分解能撮像方式に関し、特に人工衛星などに搭載されて地上観測を行う場合に用いる高分解能撮像方式に関する。

【0002】

【従来の技術】 人工衛星などに搭載され、高分解能で地上観測を行なう場合に、受光素子を一次元配列（ライン配列）し、受光出力を次に水平レジスタ、オンチップアンプを経由して出力している。従って、分解能を上げるに受光部を小さくすることが必要となるが、これには製造上の限界があった。

【0003】 図2は従来の多素子センサの構成図である。従来の多素子センサは、m個の受光素子（1）、（2）、…、（m）を一次元配列した受光部6と、受光部6の出力を順次出力する水平レジスタ7と、水平レジスタ7の出力を増幅するオンチップアンプ8とを有し、撮像対象から受光したオンチップアンプ8の出力を処理して画像を得ていた。

【0004】 この場合、図2に方形で表現した受光素子の受光面の広がりそれぞれ画素を構成する。

【0005】

【発明が解決しようとする課題】 上述した従来の多素子センサは、分解能を上げるために受光部6を小さくするにしても限界があり、また1画素の信号量も少なくなるので、受光部を小さくするにも限度があり、分解能に限度があるという問題点があった。

【0006】 また、受光入力を受光素子の中間で受光されると、取得信号量が2画素に半分ずつ分散され、受光入力に対する分解能の低下につながるという問題点があった。

【0007】 本発明の目的は上述した欠点を除去し、分解能の限度を大幅に改善した高分解能撮像方式を提供することにある。

【0008】

【課題を解決するための手段】 本発明の高分解能撮像方

式は、撮像目標に対して相対的に移動しながら撮像する受光素子の一次元配列を移動方向に対して1/n画素ずつ順次ずらしてn段に配列した受光部と、前記受光部の受光素子の出力をn段の一次元配列のそれぞれごとに順次とり出す複数の水平レジスタと、前記複数の水平レジスタの出力を増幅する複数のオンチップアンプとを有する多素子センサを備え、前記複数のオンチップアンプの出力を加算合成して、等価的にn倍の受光素子の一次元配列の高分解能を確保する手段を有して構成される。

【0009】 また本発明の高分解能撮像方式は、前記多素子センサを同一の基板上に形成した構成を有する。

【0010】

【実施例】 次に、本発明について図面を参照して説明する。

【0011】 図1は、本発明の一実施例の高分解能撮像方式の構成図である。

【0012】 図1に示す実施例は、多素子センサ4と、多素子センサ4の出力を加算、合成して出力する合成処理器5とを備えて成る。

【0013】 また、多素子センサ4は、図2に示す一次元配列の受光部6を1/3画素のピッチで移動方向にずらして配列した受光部1と、受光部1の各段の一次元配列受光素子ごとの出力を順次送出する4個の水平レジスタ2と、4個の水平レジスタの出力を増幅出力する4個のオンチップアンプ3とを備えて成り、この多素子センサ4は同一基板上に形成されている。

【0014】 次に、本実施例の動作について説明する。

【0015】 移動方向に対して1/3画素分ずつシフトして次に一次元配列された4段n個の受光素子列は、一定の周期で次に撮像対象の受光入力を電気信号に変換して出力する。従って、4段の受光素子列の出力は、4周期目に受光操作する受光素子列を基準とし、他の出力を遅延させることによって同じ位置の出力を図2の従来例に比し4倍多く、一般的には受光素子列の段数n倍にして取得することができ、これによって分解能を著しく改善しうることとなる。

【0016】 図4の（a）は、受光部6の（k）番目の受光素子に単位量1の信号量が受光され出力S5を得る状態を示している。図中Lは1画素の幅を表現し、L/3はその1/3で図1の実施例における二段目以降の配列位相差を示す。

【0017】 図4の（b）は、受光部6の（k）番目と（k+1）番目の間で（a）と同じ信号量1が受光された状態を示し、この場合の出力は受光素子（k）と（k+1）にそれぞれ1/3ずつの等量に分散入力することを表現している。

【0018】 図4の意味するところは、（a）の場合は受光素子（k）で入力したことが明らかであるが、（b）の場合は（k）と（k+1）のいずれとも判定できず、このことは撮像分解能の限度を示している。

3

【0019】図3は、本実施例における撮像動作と分解能の改善を示す。

【0020】受光部1は、一段目一次元配列S1で、受光素子(k)と(k+1)の間で信号量1を受光したものとす。

【0021】一周期後は二段目一次元配列S2が受光し、次の一周期後は三段目一次元配列S3が受光し、さらに次の一周期後は四段目一次元配列S4が受光し、それぞれの出力は、出力S1、S2、S3およびS4で表現される。

【0022】これら出力は、四段目一次元配列S4を基準として、一段目一次元配列S1を3ライン分遅延させ、二段目一次元配列S2を2ライン分遅延させ、三段目一次元配列S3を1ライン分遅延させることによって図3に示す状態で確保される。

【0023】これら出力S1、S2、S3およびS4を水平レジスタ2およびオンチップアンプ3を通して出力し、合成処理器5で加算し、かつ加算回数で除算する形式で合成出力Rを得る。

【0024】この合成出力Rは、最大値7/9を示すが、これは出力S2+出力S3+出力S4=2/3+1+2/3=7/3を3で割って得られる値である。

【0025】この7/9で表現された最大値は、一段目一次元配列S1の(k)と(k+1)の間に受光入力が存在することを意味し、図4の従来例に比し著しい分解能の向上が得られる。

【0026】このようにして、等価的には受光素子数を一次元配列の成層段数によるn倍とした高分解能の撮像

が確保される。

【0027】

【発明の効果】以上説明したように本発明は、一次元配列の多素子センサを1/n画素ずつシフトしてn段並べて形成した受光部の出力信号を、走査周期を考慮した遅延をかけて時間的に整合して加算、合成することにより、等価的にn倍の一次元配列の多素子センサの出力信号を読み出したことと等価な分解能を受光素子の大きさを抑圧することなく確保できる効果がある。

10 【図面の簡単な説明】

【図1】本発明の一実施例の高分解能撮像方式の構成図である。

【図2】従来の一次元配列の多素子センサの構成図である。

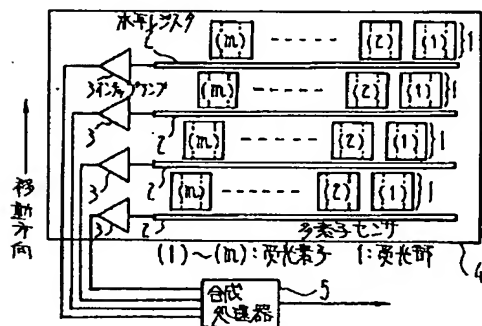
【図3】図1の多素子センサ4の撮像動作の説明図である。

【図4】図2の多素子センサの撮像動作の説明図である。

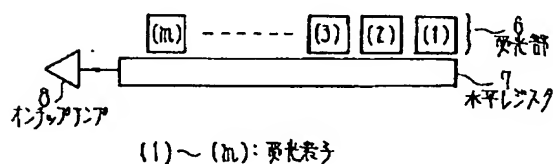
【符号の説明】

- | | |
|---|----------|
| 1 | 受光部 |
| 2 | 水平レジスタ |
| 3 | オンチップアンプ |
| 4 | 多素子センサ |
| 5 | 合成処理器 |
| 6 | 受光部 |
| 7 | 水平レジスタ |
| 8 | オンチップアンプ |

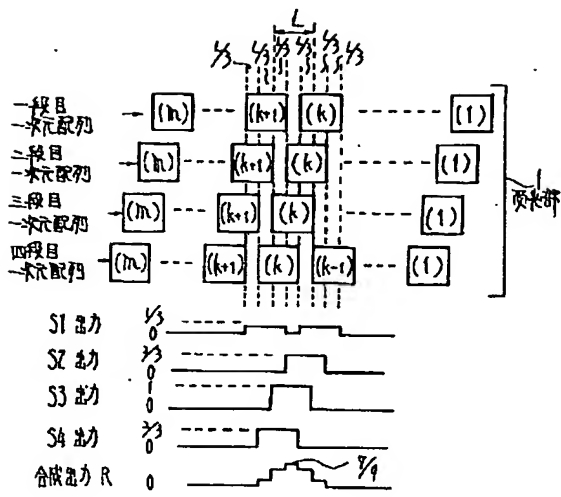
【図1】



【図2】



【図3】



【図4】

